**PERANCANGAN LED DEKODER**

**MENGGUNAKAN VHDL PADA SPARTAN 2 FPGA**

**Denny Dermawan**

Jurusan Teknik Elektro, Sekolah Tinggi Teknologi Adisutjipto

Jl. Janti, Blok R, kompleks Lanud Adisutjipto, Yogyakarta

Telepon (0274) 451262, faks. (0274) 451265

Email: dennydermawanstta@gmail.com

**Abstrak**

Led decoder adalah suatu piranti elektronik yang berfungsi untuk mengubah suatu kombinasi masukan menjadi kombinasi keluaran tertentu yang akan ditampilkan melalui sekumpulan lampu led. Led decoder yang digunakan untuk penelitian ini adalah pengubah kombinasi biner 4 bit menjadi seven segment. dalam penelitian ini akan dirancang led decoder dalam sebuah keping Field Prgrammable Gate Array (FPGA) dengan desain masukan menggunakan VHDL. Penelitian meliputi perancangan program led decoder menggunakan VHDL, simulasi hasil rancangan menggunakan perangkat lunak ISim dan unduh program ke dalam Xilinx Spartan 2 FPGA yang terdapat dalam XSA board dari Xess Corp. Simulasi dilakukan dengan memberikan kombinasi masukan biner 4 bit secara grafis dan mengamati hasil keluaran secara grafis yang dihasilkan oleh ISim. Hasil Simulasi menunjukkan bahwa program sudah sesuai dengan perancangan.

Kata Kunci : led decoder, FPGA, ISim

1. **Latar belakang masalah**

 Integrated Circuit (IC) kegunaan khusus yang digunakan sebagai led decoder ini dapat kita jumpai dengan mudah dipasaran, baik seri TTL maupun CMOS. Seri TTL yang ada di pasaran antara laina adalah 7447 baik tipe SN maupun LS. IC led decoder menyediakan pena –pena masukan dan keluaran, tanpa kita ketahui bagaimana cara kerja rangkaian di dalamnya. Kemampuan mendesaian suatu rangkaian elektronik dapat dikembangkan menggunkan piranti terpogram (programmable device) antara lain adalah Field Prgrammable Gate Array (FPGA). FPGA adalah suatu piranti programmable devices (piranti yang dapat diprogram) yang dapat digunakan untuk mendesain rancangan elektronika. Salah satu kelebihan FPGA adalah FPGA mampu menerima berbagai macam design entry (masukan ) yang beraneka ragam antara lain : VHDL, Verilog, State machine dan skematik yang tidak dimiliki oleh piranti terpogram yang lain.

FPGA yang digunakan dalam penelitian ini adalah Xilinx Spratan 2 FPGA yang terdapat dalam XSA-100 board yang merupakan pabrikan dari XESS Corporation. Koneksi yang diperlukan untuk menghubungkan XSA Board ini adalah menggunakan kabel parallel 25 pin (DB25). Perangkat lunak yang digunakan untuk untuk pemograman FPGA ini adalah Xilinx ISE 10.1 Webpack yang dapat kita unduh secara gratis pada Xilinx.com. Xilinx telah mengeluarkan seri Webpack sebelumnya seperti Xilinx Webpack4, Webpack 5, Webpack 6, namun Xilinx Webpack terdahulu tidak terintegrasi dengan Xilinx ISE Simulator yang diperlukan untuk simulasi hasil perancagan, sehingga pada penelitian ini digunakan Xilinx Webpack versi 10.1. Sebelum melakukan unduh hasil program ke dalam FPGA, maka terlebih dahulu adlah melakukan simulasi hasil rancangan program. Perangkat lunak yang digunakan untuk simulasi adalah Xilinx ISE Simulator (ISim) yang sudah terintegrasi pada Xilinx ISE 10.1

1. **Tinjauan pustaka**

(Muchlas, 2005) menyatakan bahwa agar data dalam bentuk kode BCD dapat langsung ditampilkan pada peraga 7 segment, maka diperlukan rangkaian decoder yang menghasilkan sinyal-sinyal pengerak peraga 7 segment. Kemasan rangkaian terpadu, decoder BCD ke peraga 7 segment untuk keluaran jenis active high disediakan oleh IC dengan nomor seri 7448 atau 74248 dan untuk keluaran jenis aktif low disediakan oleh seri 7446, 74246, 7447, 74247, 74347 dan 74447. Muchlas lebih menekankan prinsip operasi pada simulasi menggunakan perangkat lunak DSCH2, dibandingkan dengan perancangan rangkaian terpadu itu sendiri.

1. **Metodologi Penelitian**
	1. **Desain led decoder**

Desain FPGA yang pertama adalah LED decoder. Sebuah LED decoder mempunyai empat masukan dan tujuh sinyal keluaran yang akan menggerakkan segment-segment dari LED display. Segment dari LED akan digerakkan untuk menampilkan digit yang bersesuaian dengan nilai hexadecimal dari masukan empat bit seperti pada tabel 1.

Tabel 1. Masukan – keluaran LED dekoder

 ****

High level diagram dari LED dokoder diperlihatkan pada gambar 1.



Gambar 1. High level diagram LED Dekoder

* 1. **Desain LED Dekoder dengan VHDL**

Tampilan VHDL skeleton untuk led decoder diperlihatkan pada gambar 2. Baris 20-23 adalah link untuk IEEE library. Masukan dan keluaran LED Dekoder dideklarasikan pada baris 30 – 33. Diskripsi dari logika oprasi untuk LED Dekoder terdapat antara baris 37 – 40. File VHDL untuk LED Dekoder ditunjukkan pada gambar 2. Program VHDL berisi statement yang menyatakan pola 7 bit keluaran s untuk sembarang masukan 4 bit d. Program LED Dekoder ini ditunjukkan pada baris 39 sampai dengan 54.



Gambar 2. Program VHDL untuk LED Dekoder

* 1. **Pengecekan Implementasi**

Informasi tentang berapa banyak chip yang digunakan, yang manakah pin masukan dan pin keluaran dapat diperoleh dengan meng-double klik Place & Route report dan pad report pada process pane seperti pada gambar 3. Penggunaan piranti rangkaian LED Dekoder terdapat pada bagian atas place & route report. Rangkaian LED Dekoder hanya menggunakan 7680 slices dimana tiap slices terdiri dari 2 CLB dan tiap CLB dapat menghitung fungsi logika untuk keluaran satu segmen LED, seperti diperlihatkan pada gambar 3.

****

Gambar 3. Place & route report

* 1. **Bitstream**

Setelah kita memperoleh synthesized desain dan memetakannya ke dalam FPGA dengan pin yang benar, kita siap untuk menghasilkan bitstream yang akan digunakan untuk memprogram chip yang sesungguhnya. Proses ini dilakukan dengan memilih leddcd object pada source pane kemudian double klik generate programming file process seperti diperlihatkan pada gambar 4.

Setelah beberapa detik, proses generating programming file selesai dan jika tidak ada kesalahan maka akan muncul tanda  di dekat generate programming file process seperti diperlihatkan pada gambar 4, dan sebuah file dengan nama leddcd.bit telah dibuat dan terdapat pada folder C:\documen and setting\denny\design1.



Gambar 4. Generate programming file yang sukses

1. **Hasil dan pembahasan**

Simulasi dimulai dengan memberikan stimulus (masukan) untuk rangkaian leddcd. Stimulus yang akan diberikan adalah kombinasi d(3) d(2) d(1) d(0) sebagai tabel 2.

Tabel 2. Masukan untuk leddcd

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| d(3) | d(2) | d(1) | d(0) | Hexa |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 1 | 3 |
| 0 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 1 | 5 |
| 0 | 1 | 1 | 0 | 6 |
| 0 | 1 | 1 | 1 | 7 |
| 1 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 1 | 9 |
| 1 | 0 | 1 | 0 | A |
| 1 | 0 | 1 | 1 | B |
| 1 | 1 | 0 | 0 | C |
| 1 | 1 | 0 | 1 | D |
| 1 | 1 | 1 | 0 | E |
| 1 | 1 | 1 | 1 | F |

Tabel 2 dibuat dalam bentuk grafik. Pemberian sinyal “0” dan “1” dilakukan dengan meng-klik daerah yang diberi warna hijau muda sehingga membentuk pola grafik seperti ditunjukkan pada gambar 5.



Gambar 5. Grafik sinyal masukan leddcd

Tampilan 4’h0 mempunyai arti bahwa lebar data adalah 4 bit h adalah symbol untuk hexadecimal dan 0 adalah besarnya sinyal masukan yang diberikan demikian untuk symbol yang lainnya.

Langkah berikutnya adalah memasukkan file simulasi kedalam program dengan cara memilih coba.tbw pada sources pane dan pada processes pane dipilih simulate behavioral model pada Xilinx ISE simulator, double klik pada simulate behavioral model akan menghasilkan seperti pada gambar 6.



Gambar 6. Hasil simulasi leddcd

Hasil simulasi dapat dikembangkan agar dapat dilihat bentuk gelombang masukan dan keluarannya seperti gambar 7.



Gambar 7. Expansi hasil simulasi

Masukan mempunyai radix hexadecimal sedangkan keluaran mempunyai radix biner, hal ini perlu dicocokkan dengan perancangan awal bahwa led decoder akan mengubah semua masukan menjadi keluaran 7 bit sesuai dengan High level diagram LED Dekoder pada gambar 1, dan apabila hal ini dicocokan maka hasil simulasi sudah sesuai dengan perancangan awal.

1. **Simpulan**

Dari hasil penelitian tentang perancangan led decoder menggunakan VHDL pada Spartan 2 FPGA ini maka dapat diambil beberapa simpulan sebagai berikut :

1. Perancangan led decoder menggunakan Xilinx ISE1 10.1 untuk diunduh ke dalam keping FPGA melalui board XSA100 telah dibuat dan bekerja dengan baik.
2. Program Simulasi yang digunakan adalah ISE Simulator (ISim) yang telah terintegrasi dalam Xilinx ISE 10.1 dan hasil simulasi menunjukkan bahwa simulasi telah sesuai dengan perancangan high level diagram led decoder.

**Daftar Pustaka**

Dave Van den Bout, 1998,”*The Practical Xilinx Designer Lab Book*”, penerbit Prentice Hall International Inc.

Muchlas, 2005,*’Rangkaian digital’*, Penerbit Gava Media Yogyakarta

Xess Corp, 2008,”*Xilinx ISE 10 Tutorial, A tutorial on using the Xilinx ISE software to create FPGA designs for the XESS XSA Board*”.